

Medições de parâmetros DC em Circuitos Integrados

José Roberto Casarini ¹, Jair Fernandes de Souza ², Marcos Aurélio Ferreira ³

¹ Centro de Ciência, Tecnologia e Inovação do Pólo Industrial de Manaus, Manaus, AM, Brasil, jrcasari@ctpim.org.br

² Instituto Federal de Educação, Ciência e Tecnologia do Amazonas, Manaus, AM, Brasil, jfernandes@sufama.gov.br

³ Centro de Ciência, Tecnologia e Inovação do Pólo Industrial de Manaus, Manaus, AM, Brasil, marcos@ctpim.org.br

Abstract: This paper has the objective to present the results obtained for the survey of parametric data DC measured on the Integrated Circuit CD4007UB, at several temperatures with the use of a Pin Tester ATV supported by six SMU KEITHLEY2400. The component access table has 96 pins connector that can be formatted to access pins in groups: supply pins (with more than one voltage); input and output groups defined at High or Low levels. The experiments were designed to define the test parameters and test limits for each IC, in order to qualify the component after Design into a Design House supported by MCT, and produced in an outside foundry, after climatic tests, or after field failure. The circuit CD4007, a simple inverter, was chosen because the access to individual transistors. More complex logic circuits will be next step.

Palavras chave: Parâmetros DC, Circuitos Integrados, Pin Tester ATV, Ensaios de qualificação.

1. INTRODUÇÃO

A caracterização paramétrica de Circuitos Integrados (chips) apresenta grau de complexidade elevada devido à presença de inúmeros transistores cujo arranjo interno raramente é informado nas folhas de dados, além de que os critérios de aprovação são funcionais, e não apenas um valor de corrente ou tensão que ultrapasse certo limite. O comportamento, a forma do traçado da curva tensão vs corrente também define se o componente está funcional. A associação da forma da curva a certos mecanismos de falha permite uma análise após retorno de um componente por falha em campo. Métodos acadêmicos trabalham com um único transistor, variando a sua geometria, ou sistema de dopagem, ou mesmo múltiplos transistores, mas com acesso a cada porta dos transistores. Para caracterizar um circuito integrado, seja comercial, seja projeto de uma *Design House*, é necessário acessar múltiplos pinos e desenvolver conhecimento para interpretar as curvas paramétricas obtidas através destes pinos e resultado de múltiplos transistores. Mesmo que não se acesse as portas específicas de transistores. Equipamentos de teste acessam um pino de cada vez, mesmo que um circuito de múltiplos pinos tenha todos eles conectados. A solução proposta é poder acessar todos os pinos de uma só vez, limitado neste caso a 96 pinos. O mérito deste equipamento é o de poder associar pinos de alimentação, de entrada e de saída em grupos e submeter a diferentes tensões de alimentação, em diferentes estados de

sinal, alto, e baixo e poder limitar correntes em diferentes pinos conforme a folha de especificação do fabricante. Os dados obtidos através das curvas paramétricas mostram um comportamento, e não somente um valor característico. Este comportamento e os critérios de verificação são objeto deste trabalho, visando adquirir experiência para análise de conformidade dos Circuitos Integrados.

2. OBJETIVOS

Como forma de avaliar o desempenho do Pin Tester para medição de grandezas elétricas em semicondutores e determinar a influência da temperatura no funcionamento de um par CMOS, foram levantadas as curvas de caracterização: $I_{DS} \times V_{DS}$ e $I_{DS} \times V_{GS}$, em temperaturas diversas. Para isto foi utilizado um circuito lógico modelo CD4007UB, [1] cujo diagrama funcional é mostrado na figura 1. Os pinos de entrada / saída permitem acessar qualquer um dos transistores, seja tipo n, ou tipo p. Com um circuito integrado modelo HEF4070BP, [2] função lógica 'exclusive OR', não é possível acessar transistores individualmente, e assim sua caracterização deverá usar a lógica funcional. A caracterização paramétrica do Circuito Integrado será usada antes e após ensaios climáticos de qualificação de circuitos projetados por Design Houses do projeto CI Brazil. Assim como os limites físicos de uso, determinados a partir da estatística de Weibull, considerando a Tensão de Avalanche, em substituição à tensão de ruptura de um dielétrico.

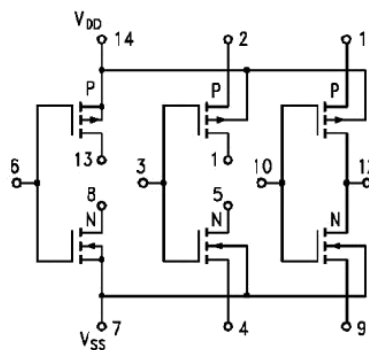


Figura 1 – Diagrama funcional do CI CD4007UB.

3. METODOLOGIA E RESULTADOS

3.1. Curvas / Medidas realizadas em função da temperatura.

Com o uso da câmara térmica TSJR – Tenney foi possível realizar a verificação nas seguintes temperaturas: -55°C, -40°C, 25°C, 85°C, 105°C, 125°C, 145°C e 165°C.

O levantamento das curvas, foi realizado com a utilização do Pin Tester – ATV [3] em conjunto com 05 SMUs (2400) da Keithley, das 06 unidades disponíveis no equipamento. Para traçar a curva IDS x VGS, foi escolhido o transistor Q2 canal n do CI e teve a seguinte configuração de polarização:

$$V_{DD} = 10V \quad V_{SS} = 0V$$

$$V_D = 10V \quad V_S = 0V$$

$$V_{GS} = \text{Rampa de } 0V \text{ a } 10V, \text{ passo: } 100mV$$

O esquema de ligação das fontes\medidores (SMUs) é apresentado na figura 2

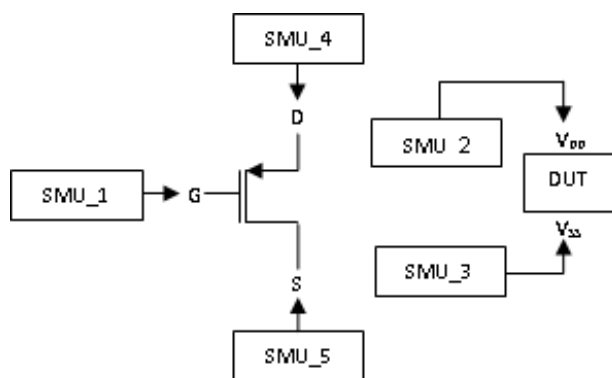


Figura 2: Diagrama de ligação das SMUs para traçar a curva I_{DS} x V_{GS} do Q2N.

A tensão de limiar de condução dos transistores de efeito de campo (V_{TH}) varia com a temperatura como representado na curva I_{DS} x V_{GS} da figura 3.

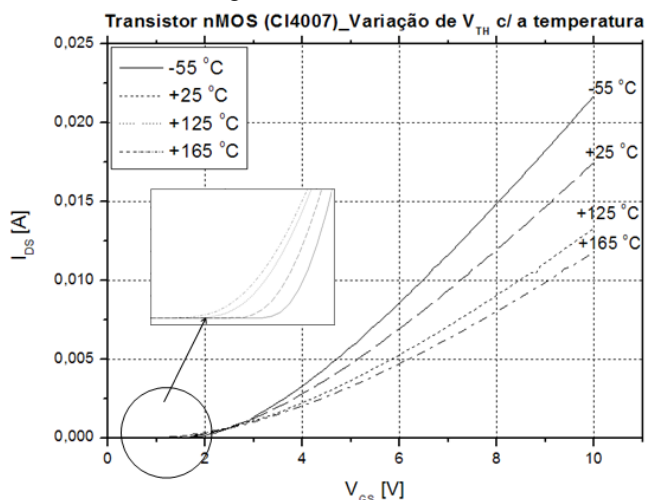


Figura 3: Efeito da temperatura no V_{TH} do transistor nMos.

Para baixas temperaturas, a energia de referência de Fermi - E_F - tende para a energia do topo da banda de valência ($E_F \rightarrow E_V$), logo o potencial de Fermi (Φ_F) aumenta, provocando aumento da V_{TH} . Para altas temperaturas a energia de referência de Fermi tende para a energia do nível de Fermi intrínseco (E_i) ($E_F \rightarrow E_i$) logo Φ_F diminui, com redução de V_{TH} .

Outra consequência da variação de temperatura no CI é constatada ao analisar a curva de I_{DS} x V_{DS} da figura 4 para a condição de polarização:

$$V_{DD} = 10V \quad V_{SS} = 0V$$

$$V_S = 0V \quad V_{GS} = 5V$$

$$V_D = \text{Rampa de } 0V \text{ a } 10V, \text{ passo: } 100mV$$

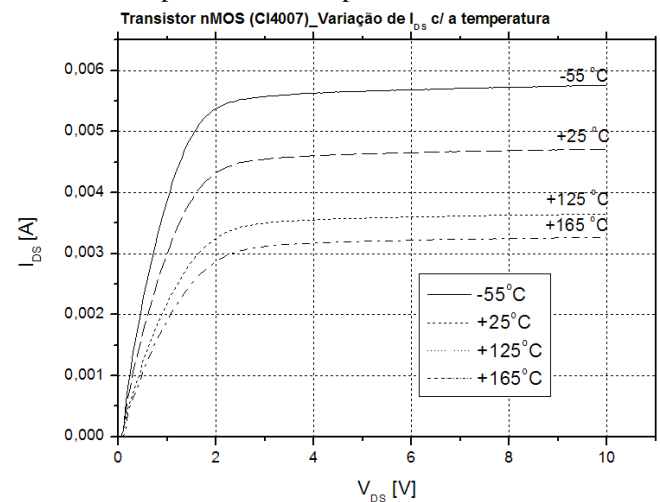


Figura 4: Variação da corrente I_{DS} do transistor nMOS com a temperatura.

Observa-se que a corrente I_{DS} varia proporcionalmente a temperatura. A variação de I_{DS} deve-se a mudança na concentração de portadores minoritários provocada pela variação de temperatura. Na faixa de temperatura do experimento o mecanismo de geração e recombinação dominante ocorre entre a banda de valência e os estados possíveis introduzidos pelos dopantes na banda proibida do semiconductor, 0,045 eV acima do topo da banda de valência.

Mantendo-se $V_{DS}=2V$ obteve-se a curva I_{DS} vs $1000/T$ da figura 5. A linearização da curva mostrou que a dispersão entre os valores de I_{DS} é de 0,045, valor correspondente a energia de ativação dos portadores necessária para a realização da transição entre a banda de valência e os estados introduzidos pelos dopantes.

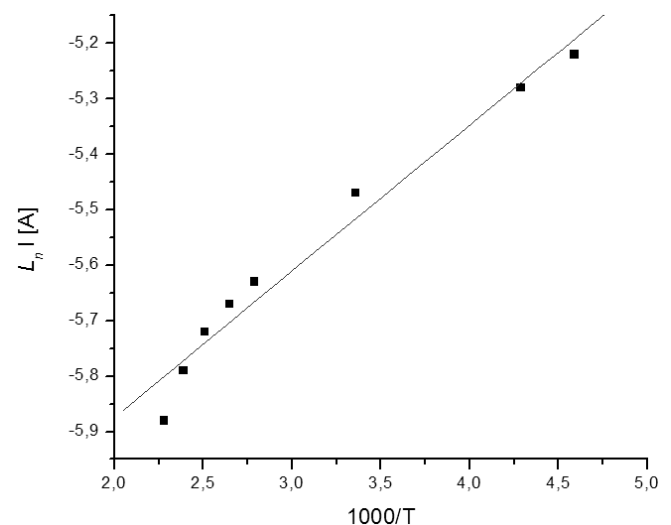


Figura 5: Curva I_{DS} vs $1000/T$

Seria necessário elevar a temperatura a níveis tais que a energia fornecida aos portadores permita a transição dominante entre banda de valência e banda de condução, nesta condição a concentração de portadores minoritários torna-se da mesma ordem de grandeza da concentração dos portadores majoritário, ou seja, o semiconductor comporta-se como se fosse intrínseco, provavelmente provocando falhas em dispositivos semicondutores.

3.2 – Tensão limite de Avalanche

O objetivo é simular em um semiconductor a tensão de ruptura de um dielétrico passivo, processo destrutivo resultado da formação de caminhos internos com resistência zero a passagem de corrente. Em um semiconductor será adotado o critério de limite da corrente especificada pelo fabricante denominada – “input clamping current” – O valor típico para esta corrente é de 10mA. Neste caso não há ruptura de um dielétrico, mas uma avalanche de portadores. Ao ser retirada a tensão de teste o componente retorna a condição funcional, conforme previsto na Norma Militar MIL STD 883G, método 3008.1 [4].

Foram testados três circuitos integrados: - Par complementar e Inversor modelo 4007; - Porta OU-exclusivo modelo 4070; - Flip-flop modelo 74HC74. As tensões de avalanche (tabela 1) foram obtidas quando a corrente I_{DD} atingiu 10mA, Valores diferentes de tensão são obtidas a medida que os pinos de Entrada são mantidos a V_{ss} ou em V_{DD} , e com os pinos de saída em aberto. Foi adotada sempre a condição $V_{ss} = 0V$.

Tabela 1 – Regressão linear da Tensão de Avalanche para três circuitos integrados.

Circuito	Curva linear	Tensão Nominal	Tensão Média
CI 4007	$y = 173x - 614$	20V	34V
CI 4070	$y = 50x - 166$	18V	28,9V
CI 7474	$y = 23,6x - 66$	5V	15,5V

Considerando a Distribuição Estatística de Weibull:[5], [6]

$$F(t) = 1 - e^{[\alpha \times t]^\beta} \quad (1)$$

$$\ln \left[\ln \left(\frac{1}{1-F} \right) \right] = \beta \cdot \ln t + \beta \cdot \ln \alpha \quad (2)$$

Onde β é o fator de forma da Distribuição Weibull. Quanto maior o valor de β , mais apertada se torna a distribuição. A figura 6 apresenta a distribuição para o CI4070 (Ou exclusivo)

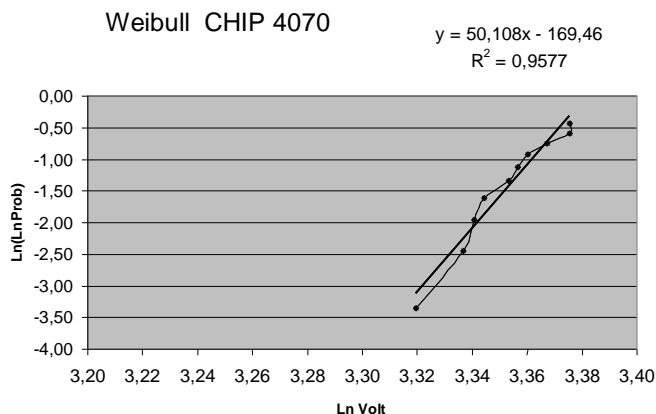


Figura 6 – Distribuição estatística de Weibull para o CI4070.

O ranqueamento dos valores de Tensão é obtido por:

$$F(t) = \frac{(i-0,3)}{(n+0,4)} \quad (3)$$

Quando um pequeno número de dados é usado para fim da estatística de Weibull. A aplicação da estatística de Weibull a fratura mecânica em materiais cerâmicos tem longa comprovação em casos controlados (x). A extensão da estatística de Weibull para ruptura do dielétrico cerâmico tem poucas referencias na literatura, mas tem sido utilizado em larga escala em linha de produção de capacitores cerâmicos (x^2). O valor da tensão de ruptura em semicondutores tem sido aplicado para evolução da tensão com o tempo de aplicação, numa dada temperatura, explicito como TDDDB.

Considerando a probabilidade de falha $F(t)$, e a tensão resultante pela extrapolação da linha de dados resulta na tabela 2.

Com estes resultados é possível saber a probabilidade de falha para o valor nominal de tensão de alimentação que cada fabricante utiliza para definir qual será este valor na folha de especificação de uso. São todos acima de 10^{-9} , e para o Circuito 4007 acima de 10^{-15} .

Tabela 2- Tensão limite de uso (valor Nominal) em função da Probabilidade de ruptura.

Prob. F(t)	Tensão (V)		
	CI 4070	CI 4007	CI 74HC74
10^{-6}	20,9	32,6	9,14
10^{-8}	19,0	31,8	7,52
10^{-9}	18,2	31,0	6,82
10^{-12}		29,8	5,09
10^{-15}		28,6	
Nominal	18	20	5

Considerando um parâmetro de Weibull igual a 25, e comparando a tabela 2 acima, com valores obtidos em cerâmicas mecânicas, a relação entre tensão Nominal e tensão para probabilidade de 10^{-6} resulta em ambos os casos, cerâmica mecânica e semiconductor o mesmo fator, igual a 1,7. [7]

3.3 – Curvas Paramétricas após Latch up.

O ensaio de Latch up é previsto na Norma IEC 60.749 – Part 29, [8] e consiste em aplicar uma corrente de 100mA através dos pino do circuito Integrado. Como critério de aceite esta a corrente de alimentação, que não pode ser maior que 1,4 vezes o valor Nominal. Esta corrente de 100mA não tem sido suficiente para caracterizar os produtos no mercado atualmente, todos estes atendem esta solicitação. Para mostrar o comportamento nas curvas paramétricas se houver dano por Latch up, a corrente foi gradativamente aumentada, até acontecer o fenômeno de Latch up, que consiste em um caminho de baixa resistência pela formação de um transistor parasita dentro da estrutura CMOS.

Realizado o levantamento da curva característica de cada pino aplicando uma tensão de -2V a +2V com passo de

0,01V (10mV) no pino em teste, enquanto os demais permaneciam em curto-circuito em 0V.

A figura 7 mostra os resultados obtidos no CI4070, onde podemos verificar que cada tipo de pino, ou seja, de entrada, saída, alimentação ou de terra, apresenta uma curva característica.

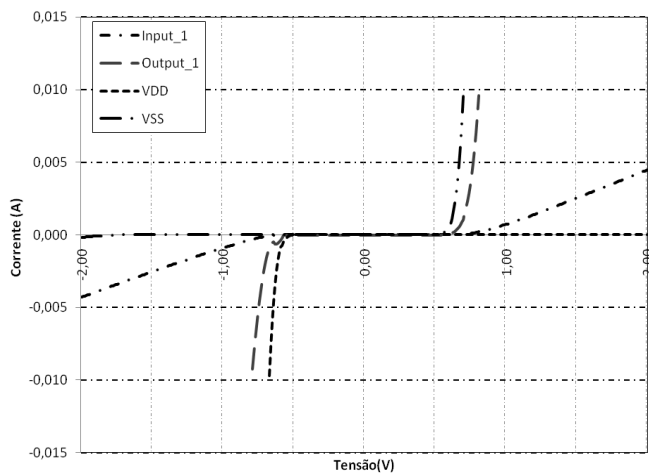


Figura 7 – Curvas dos pinos de entrada, saída, V_{DD} e V_{SS} do CI4070, antes da falha.

Para o ensaio de Latch up é necessário que o chip seja alimentado em sua maior tensão de operação e é injetado surtos de corrente no pino em teste, permanecendo os demais em V_{DD} ou V_{SS} dependendo de sua lógica de funcionamento, durante o ensaio o valor de corrente e tensão de alimentação do CI é monitorada para avaliar seu desempenho.

Neste micro circuito foi submetido a testes apenas o pino 1 (input 1) adotando a seguinte configuração: $V_{DD}(14) = 15V$; $V_{SS}(7) = 0V$, pinos de saída (3, 4, 10, 11) em aberto e demais pinos de entrada (2, 5, 6, 8, 9, 12, 13) = 15V

Como pode ser visto na figura 8, há alteração na curva paramétrica dos pinos V_{DD} , V_{SS} e Input 1, e esta forma diferenciada pode ser então utilizada para caracterizar um componente que tenha sofrido dano em uso, e submetido a ensaios para se determinar a possível causa.

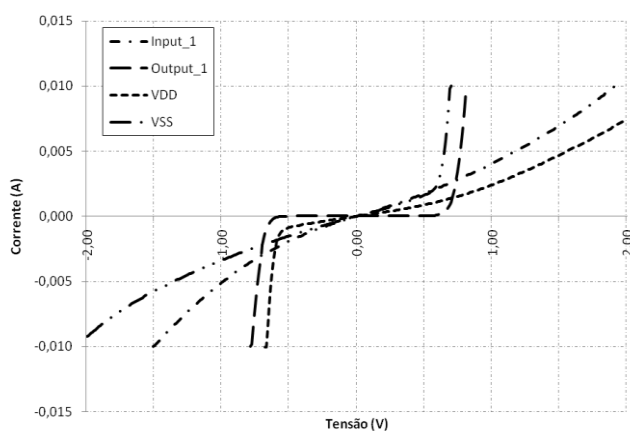


Figura 8 – Curvas dos pinos de entrada, saída, V_{DD} e V_{SS} do CI4070, após a falha.

4. CONCLUSÕES

Os parâmetros básicos de um semiconductor foram observados, mostrando a precisão e versatilidade do equipamento, considerando um modelo de Circuito Integrado para o qual os transistores estão individualmente conectados aos pinos externos. Quando esta informação não está disponível, é necessário a interpretação da curva paramétrica, entre um componente ‘bom’ e outro ‘sem funcionalidade’. O caráter funcional conforme níveis ‘alto’ – ‘baixo’ do dispositivo semiconductor deve ser usado para caracterizar circuitos mais complexos.

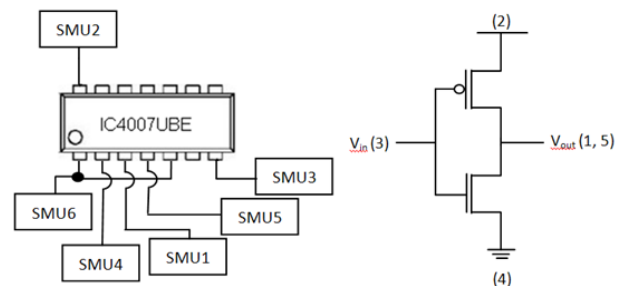


Figura 9 – Utilização do acesso a múltiplos pinos para configuração do CI4007 como um inversor.

Existe um incontável número de CIs, nos mais diversos encapsulamentos e com diferentes números de pinos, neste artigo nos restringimos a apenas analisar apenas CIs do tipo DIP14 (14 pinos). Constatamos a necessidade de se ter um equipamento em que haja um acesso a múltiplos pinos simultaneamente, uma vez que, em geral não se tem o diagrama de ligações interna do chip, tornando-o uma caixa preta. Identificamos valores divergentes de um determinado parâmetro em função dos valores de tensão / corrente dos pinos que não estavam sob teste.

Outra vantagem ao se ter acesso a vários pinos simultaneamente é a capacidade de realizar medições em diferentes pinos ao mesmo tempo observando o comportamento dos pinos em função de um sinal de entrada. Considerando que para caracterizar um Circuito Integrado, não basta medir somente tensões e correntes elétricas.

Usando o CI4007, configurado como um inversor (figura 9) podemos medir a corrente consumo do circuito demonstrando que há uma elevação no momento da transição de estado da saída (figura 10).

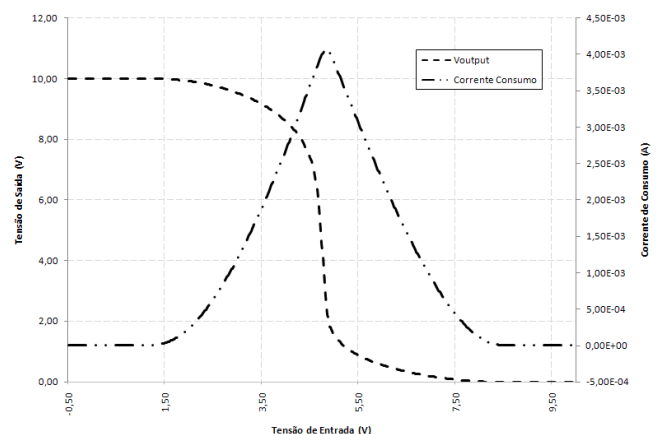


Figura 10 – Medição da corrente de consumo e tensão de saída em função da tensão de entrada, em um CI4007.

A utilização simultânea do Pin Tester e da câmara térmica TSJR – Tenney permitiu avaliar o comportamento do transistor MOS com a temperatura. As variações do V_{TH} e de I_{DS} observados podem representar fatores determinantes das condições de funcionamento de um CI, principalmente em tecnologias atuais onde o escalamento determina a utilização de tensões de alimentação cada vez menores, tornando a separação - *gap* entre os níveis de tensão considerados baixo e alto é cada vez menor, ou seja, pequenas variações do V_{TH} podem produzir erros lógicos consideráveis.

O comportamento da curva **I x V** define a funcionalidade do componente. Assim sendo, será objeto de estudo **como qualificar** um Testador de Múltiplos Pinos em Circuitos Integrados. Corrente e Tensão podem ser calibradas, a forma da curva depende de todo o sistema, incluso os conectores. Isto também deve ser calibrado.

AGRADECIMENTOS

Este projeto conta com Auxílios, da FINEP Processo 2281/2006 – Caracterização de Circuitos Integrados, e do CNPq Processo 553982/06 – Confiabilidade de CHIPS. O Laboratório de Caracterização e Confiabilidade de Circuitos Integrados do CT PIM pertence a Rede TSQC de Qualificação de Componentes Coordenada por CTI – Campinas e conta com recursos do Projeto FINEP 2112/2007.

REFERÊNCIAS

- [1] Data Sheet CD4007UB, Type CMOS Dual Complimentary Pair Inverter, Texas Instruments, 2003.
- [2] Data Sheet HEF4070B, Quadruple exclusive ‘OR’ gate, Philips Semiconductors, 1995.
- [3] Pin Tester Operating Manual V1.0 AutomatisierungTechnik Voigt, 2008.
- [4] MIL-STD-883G, Test Standard Method – Microcircuits. Ed. 28 February 2006.
- [5] F. Jensen, Electronic Components Reliability. West Sussex, Eng. John Wiley, 2000.
- [6] M. Ohring, Reliability and Failure of electronic Materials and Devices. Academic Press, 1998.
- [7] D.G.S. Davies, “The statistical approach to engineering Design in Ceramics”. Proc. Brit. Ceram. Soc. Nº 22, pp 429 – 452, (1973).
- [8] IEC 60.749 – Semiconductor Devices – Mechanical and Climatic Test Methods - Part 29 Latch up Test. First Edition, 2003 – 11.