



Projeto e Implementação em Silício de um Conversor Analógico/Digital Sigma-Delta de 12 Bits

Ronan Cristiano de Souza¹, Diógenes Cecílio da Silva Júnior², Hércules M. Carvalho³

¹DHBH, Belo Horizonte, Brasil, ronan.dhbh@gmail.com

²UFMG, Belo Horizonte, Brasil, diogenes@cpdee.ufmg.br

³Was at UFMG, Belo Horizonte, Brasil, Hercules.carvalho@hotmail.com

Abstract: Este trabalho apresenta o projeto e implementação de um circuito de sinais mistos de um conversor A/D, de arquitetura Sigma-Delta de 12 bits. A motivação para este projeto é a integração em um *die* de um medidor de energia elétrica residencial e que seja economicamente viável. Em aplicações reais existe uma grande demanda por interfaces analógicas que por sua vez utilizam conversores analógico-digitais (A/D) e digitais-analógicos (D/A). Recentemente uma gama de circuitos analógicos tem sido implementados em processo de fabricação digital permitindo a inclusão de subsistemas analógicos em circuitos integrados predominantemente digitais.

Keywords: conversão analógico-digital, projeto de circuito integrado, circuito de sinais mistos.

1. APRESENTAÇÃO

A alta densidade de transistores em circuitos integrados tem permitido a implementação de sistemas computacionais em uma única pastilha de silício. Estes sistemas, conhecidos como SoC (*System-on-Chip*, ou sistemas em chips), integram em uma única pastilha, ou *die* em inglês, processador, memórias de dados e programas e interfaces de entrada e saída, todos estes circuitos digitais. Tais circuitos são fabricados em processos industriais altamente sintonizados para projetos digitais usando transistores MOS complementares (CMOS).

Em aplicações reais existe uma grande demanda por interfaces analógicas que por sua vez utilizam conversores analógico-digitais (A/D) e digitais-analógicos (D/A).

Circuitos analógicos são tradicionalmente fabricados usando processos diferentes dos processos digitais. Recentemente uma gama de circuitos analógicos tem sido implementados em processo digitais, que embora não tenham as mesmas características gerais de similares fabricados em processos analógicos, permitem a inclusão de subsistemas analógicos em circuitos integrados predominantemente digitais. Esta classe é conhecida como circuitos de sinais mistos. Deste modo conversores A/D e D/A e comparadores podem ser integrados a microprocessadores oferecendo uma solução barata e integrada para o processamento de sinais analógicos.

Este trabalho apresenta o projeto e implementação de um circuito de sinais mistos de um conversor A/D, de arquitetura Sigma-Delta de 12 bits. A motivação para este projeto é a integração em um *die* de um medidor de energia elétrica residencial e que seja economicamente viável. Desta forma é possível o projeto de circuitos analógicos dedicados e feitos sob medida para a aplicação alvo.

Soluções convencionais de prateleira demandam componentes que exigem pinos extras ao circuito do medidor, que acarreta custos adicionais (pinos são relativamente caros) de encapsulamento e área de placa de circuito impresso.

2. PROJETO DE CIRCUITOS INTEGRADOS

O projeto de circuitos integrados é dividido em várias etapas, exigindo altos níveis de abstração devido ao aumento da complexidade desses projetos e devido à necessidade constante de redução de *time to market*. Para os circuitos digitais é possível começar com um modelo executável em linguagem de programação, como C++, e depois passar por etapas de refinamento sucessivo [1] com o uso de linguagens de descrição de *hardware* (HDL) até chegar a um modelo RTL (*Register Transfer Level*), que será interpretado por uma ferramenta de síntese lógica, gerando a versão em nível de portas lógicas e registradores (flip-flops). Esta versão é usada na geração automática do *layout* que passa por outras etapas até à geração do arquivo no formato GDS-II, sendo este enviado à fabricação do *chip*. O projeto de circuitos analógicos pode começar com uma modelagem comportamental e em seguida o projetista desenvolve o modelo em nível de transistores na forma de esquemático, que será transformado em uma versão em *layout* e deste ponto vai para as etapas de geração de GDS-II. Tanto no projeto digital quanto no analógico incluem-se etapas de verificação e de testes para garantir a ocorrência das características especificadas.

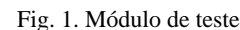
Este projeto é a parte *mixed-signal* de um SoC para o qual optou-se por desenvolver um conversor, que embora fosse específico para essa implementação, proporcionasse o ganho de conhecimento técnico para o projeto de outras versões. Dessa forma ganha-se agilidade em novas implementações uma vez que se tem um módulo próprio com fácil adaptação a diferentes projetos. O bloco analógico

Para reduzir a taxa de amostragem, para valores mais facilmente processados, e gerar palavras digitais de 12 bits, utilizou-se a arquitetura de filtros CIC (*Cascaded Integrator-Comb*) [4, 5] que proporciona grandes reduções na taxa de amostragem com implementação econômica em *hardware*. O filtro implementado é do tipo CIC de segunda ordem (CIC2), com um filtro FIR para compensação de efeito de *droop*. A metodologia utilizada é uma adaptação de refinamentos sucessivos de projetos digitais para projetos de sinais mistos e começa com um modelo desenvolvido na ferramenta Matlab [6], para o filtro CIC2 e para o filtro de compensação, e passa por uma modelagem intermediária em linguagem de descrição de hardware SystemC [7] até chegar na versão para síntese lógica, no nível de registradores e portas lógicas, feita em linguagem de descrição de *hardware* Verilog RTL [8]. Na sequência seguiu-se o fluxo de projeto de circuitos integrados digitais, utilizando a mesma tecnologia de fabricação XFAB CMOS 0.35 μm , sendo feita a síntese lógica, *layout*, DRC (*Design Rule Check*), LVS (*Layout Versus Schematic*) e validação por simulação *mixed-signal*. A etapa final foi a geração do arquivo de *layout* no formato GDS-II e posterior envio para fabricação.

Este modulador foi especificado para um sinal analógico com frequência fundamental de 60 Hz e considerando as frequências até o décimo quinto harmônico. A frequência de sobreamostragem é de 256 kHz com um sinal de saída digital serial de um bit (*bitstream*) nessa mesma frequência.

O módulo de teste (“testbench”) foi concebido a fim de ser possível a observação dos valores de saída e assim aferir os resultados obtidos. A partir da inclusão de um filtro passa-baixas à saída do modulador é possível obter a reconstituição do sinal de entrada original. O sinal de saída é composto de uma sequência de bits onde a largura dos pulsos representa o nível de sinal medido. A decomposição deste sinal a partir do método de Fourier nos dá a possibilidade de obtermos a reconstituição do sinal de entrada, pois a representação passa a ser apenas de senóides componentes do sinal. A figura 1 ilustra o módulo de teste em blocos.

Tendo como base o exposto, podemos inferir que a precisão da reconstituição do sinal de entrada é função da qualidade do filtro conectado à saída do modulador. Quanto mais preciso for o filtro na função de remover todas as

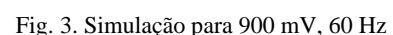


harmônicas do sinal de saída, deixando passar somente a frequência fundamental do sinal, mais precisamente reconstituiremos o sinal de entrada do filtro. Em outras palavras, quanto maior a ordem do filtro passa-baixas, conectado à saída do modulador sigma-delta, melhor será a observabilidade de falhas na modulação.

Em contrapartida, para fins de observação simples de distorções no sinal modulado, um filtro de primeira ordem foi implementado a partir de uma rede RC (resistor-capacitor). A figura 2 ilustra o modulador com filtro RC. Os valores dos componentes foram calculados para, obviamente, deixar passar apenas a frequência fundamental do sinal modulado, excluindo-se todas as harmônicas.



As simulações foram feitas para sinais senoidais nas frequências de 60 Hz e de 1 kHz na entrada do circuito. No caso do sinal de 1 kHz, foram feitas simulações para diferentes valores de amplitude. A figura 3 e a figura 4 mostram os resultados das simulações feitas para um sinal de 60 Hz com amplitude de 900 mV e para um sinal de 1 kHz com amplitude de 900 mV, respectivamente. O sinal senoidal de entrada é apresentado conjuntamente com os respectivos sinais de saída do modulador e de saída do filtro RC.



Pode ser observado que o sinal de saída do filtro RC tem uma elevada distorção, pois o mesmo é apenas de primeira ordem. Ao mesmo tempo, também pode ser observado que o sinal de saída do filtro segue satisfatoriamente o sinal de entrada (os mesmos são apresentados sobrepostos). Para o objetivo das simulações, que era observar as distorções mais relevantes no sinal de saída do modulador, os resultados foram satisfatórios. Novas simulações, com a inclusão de um filtro passa-baixas de ordem mais elevada, poderão ser

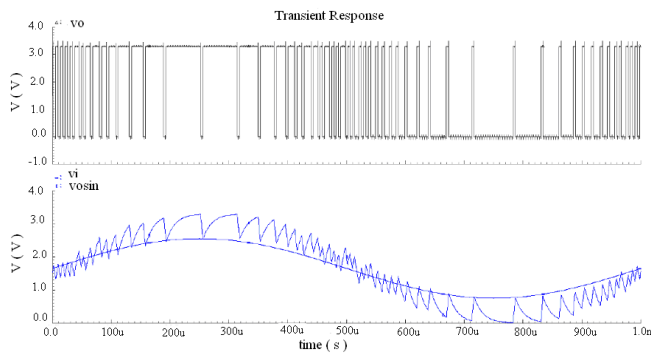


Fig. 4. Simulação para 900 mV, 60 Hz

realizadas a fim de melhorar a observabilidade dos resultados.

4. FILTRO DIGITAL DIZIMADOR

O filtro dizimador recebe a saída (*bitstream*) do modulador e é responsável pela redução da taxa de amostragem para 2 ksp/s (*kilo sample per second*) e pela ‘transformação’ desse sinal em um sinal digital de 12 bits. Seus parâmetros são: ordem $N = 2$, atraso diferencial $M = 1$, fator de dizimação $R = 128$ e frequência de sobreamostragem $f_s = 256$ kHz.

4.1. Modelo Matlab

A resposta em frequência é mostrada na figura 5. Observa-se o comportamento passa-baixas, tendo o primeiro lóbulo fechando em 2 kHz, e a repetição desse padrão de forma de onda, os lóbulos, a cada múltiplo dessa frequência. Porém, observa-se também, analisando o primeiro lóbulo, que há atenuação na amplitude do sinal na faixa de interesse de 1 kHz. Esse problema, conhecido como efeito de *droop*, é minimizado com a adição de um filtro de compensação [9], que pode ser um filtro do tipo FIR (*Finite Impulse Response*), também chamado de filtro sinc inverso. Seus coeficientes podem ser calculados pelo Matlab e sua magnitude é dada pela equação 1.

$$G(f) = |\sin^{-1}(M * f)|^N \quad (1)$$

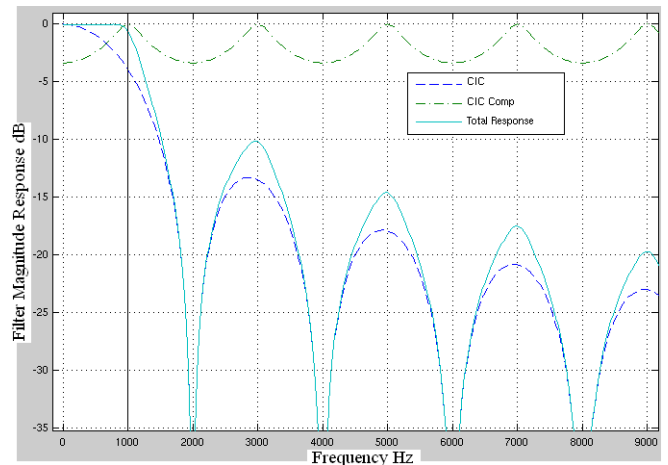


Fig. 5. Resposta em Frequência

4.2. Modelo SystemC

A implementação foi feita de acordo com estrutura mostrada na figura 6. O número de bits é definido de acordo com cálculo para o bit mais significativo para a saída do filtro, segundo Hogenauer [4], pela equação 2.

$$B_{MAX} = 2\log_2[R * M] + B_{in} - 1 \quad (2)$$

Substituindo os valores de R , M e B_{in} na equação acima temos que $B_{MAX} = 14$. Ou seja, o 14º bit deve ser o bit mais significativo, considerando o bit de índice zero como o menos significativo.

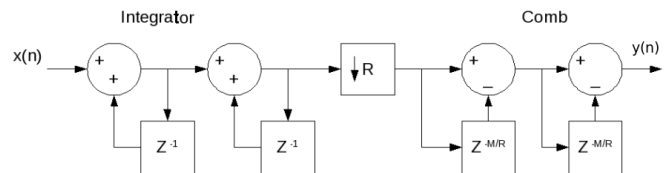


Fig. 6. Filtro CIC de dois estágios

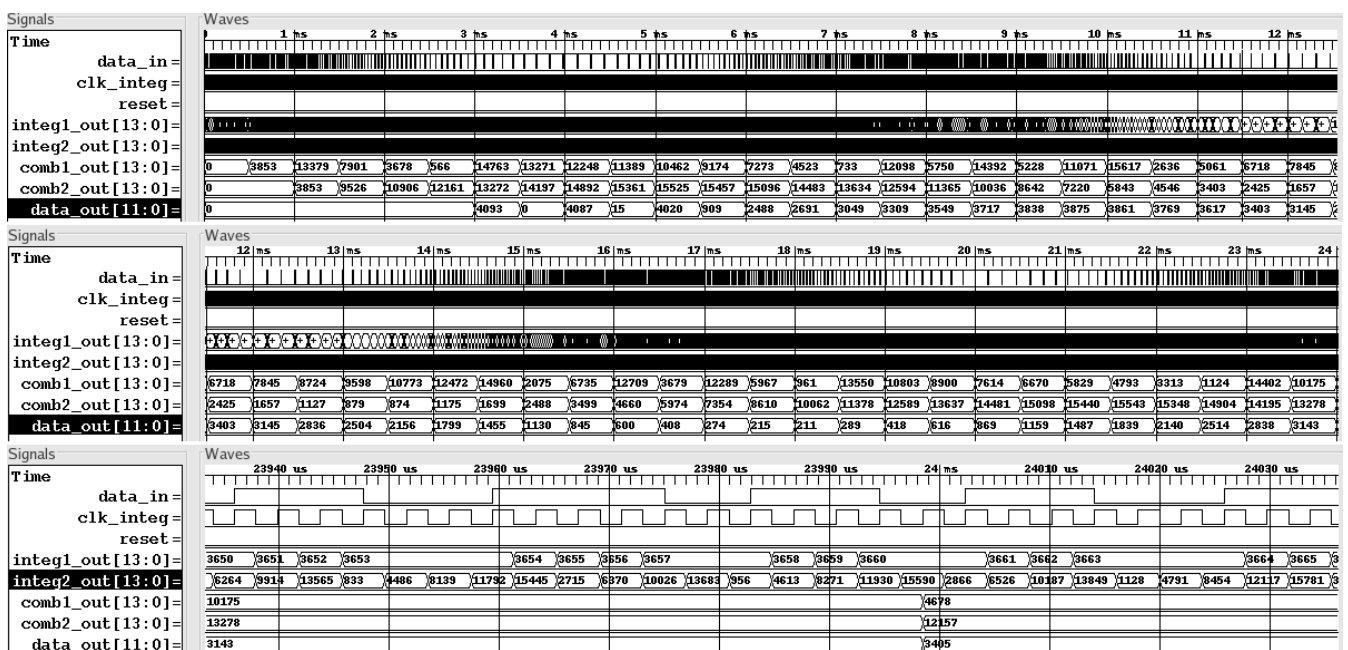


Fig. 7. Simulação em SystemC

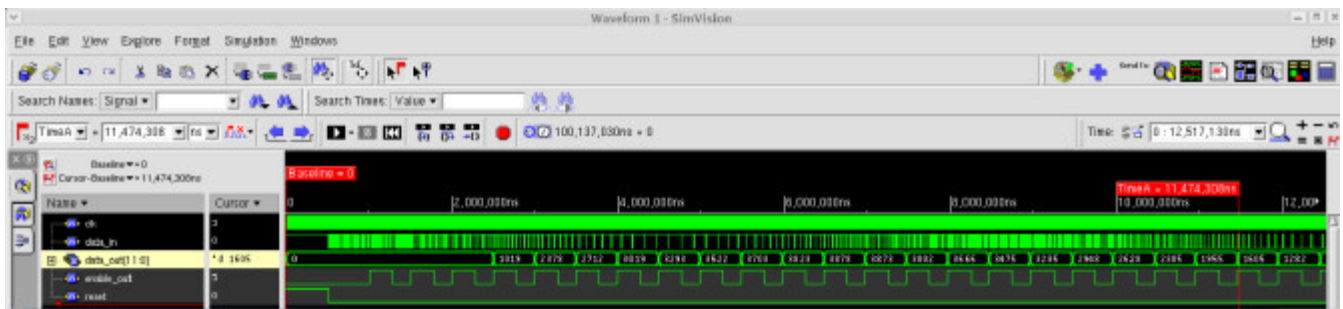


Fig. 7. Simulação em Verilog

Após os integradores é feita a redução da taxa de amostragem (divisão por R). Dessa forma os estágios COMB usam uma frequência de *clock* mais baixa, proporcionando economia em área de silício e menor dissipação de potência. Seguindo o CIC, temos o filtro de compensação de *droop* que recebe 14 bits, mas apenas os 12 bits mais significativos são considerados. O filtro é descrito de acordo com a equação 3.

$$y = b_1 * m_1 + b_2 * m_2 + b_3 * m_3 + \dots + b_n * m_n \quad (3)$$

A figura 7 mostra o resultado da simulação para a implementação em SystemC, considerando um sinal senoidal de 60 Hz e amplitude de 0,9 V.

4.3. Modelo Verilog RTL

A descrição em RTL usou uma frequência de clock de 6.144 Mhz, assim todo bloco sequencial tem um divisor de *clock*, de modo que se tenha as frequências adequadas para cada estágio do dizimador. A estrutura do CIC é semelhante àquela feita em SystemC, mas o filtro de compensação foi otimizado de modo que apenas um multiplicador fosse necessário, o que reduziu a área de silício a ser usada. A figura 7 mostra o resultado de uma simulação para a implementação em Verilog.

5. CONCLUSÃO

A partir destes resultados de projeto foi feito o layout da parte digital do conversor A/D compreendendo os filtros CIC2 e FIR e que pode ser visto na figura 9 juntamente com outros módulos projetados por outros membros da DHBH – Design House Belo Horizonte.

No momento é aguardado o retorno da fornada dos chips que foram fabricados pela XFAB.

AGRADECIMENTOS

Este trabalho foi financiado por recursos do projeto FAPEMIG TEC 52322/06.

BIBLIOGRAFIA

- [1] DIAS, Sandro R. SRD: Uma Ferramenta de Apoio Ao Projetista de Sistemas de Hardware Utilizando a Linguagem SystemC. UFMG, Belo Horizonte, 2007.
- [2] CADENCE. Cadence Design Systems, San Jose, 2008. <<http://www.cadence.com>>.

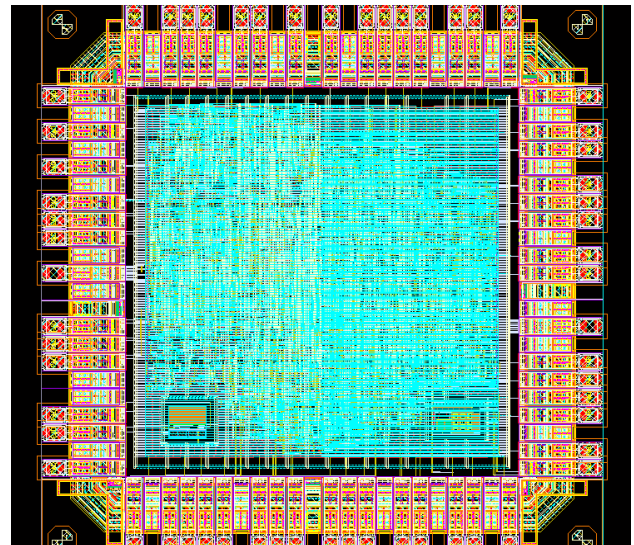


Fig. 9. Layout do chip contendo os filtros CIC2 e FIR juntamente com outros módulos

- [3] X_FAB Semiconductor Foundries. *XL035 Data Sheet*. Acessado em Abril de 2009. Disponível em <<http://www.xfab.com/en/home/download-center.html>>.
- [4] HOGENAUER, EUGENE B. An Economical Class of Digital Filters for Decimation and Interpolation. IEEE TASSP. ASSP-29, NO. 2, April 1981.
- [5] DESIGN & REUSE. Understanding Cascaded Integrator-Comb Filters. Disponível em: <<http://www.designreuse.com/articles/10028/understanding-cascaded-integrator-comb-filters.html>>.
- [6] THE MATHWORKS. Matlab & Simulink. Acessado em Abril de 2009. Disponível em: <www.mathworks.com>.
- [7] Open SystemC Initiative. SystemC Version 2.0 User's Guide – Update for SystemC 2.0.1.2002. Disponível em: <<http://www.systemc.org>>.
- [8] DOULOS Ltd. The Designer's Guide to Verilog. Acessado em Abril de 2009. Disponível em: <http://www.doulos.com/knowhow/verilog_designers_guide>.
- [9] ALTERA CORPORATION. Understanding CIC Compensation Filter. Application Note 445. Disponível em: <<http://www.altera.com/literature>>.